

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-065580

(43)Date of publication of application : 10.03.1995

(51)Int.Cl.

G11C 11/41

(21)Application number : 05-214118

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 30.08.1993

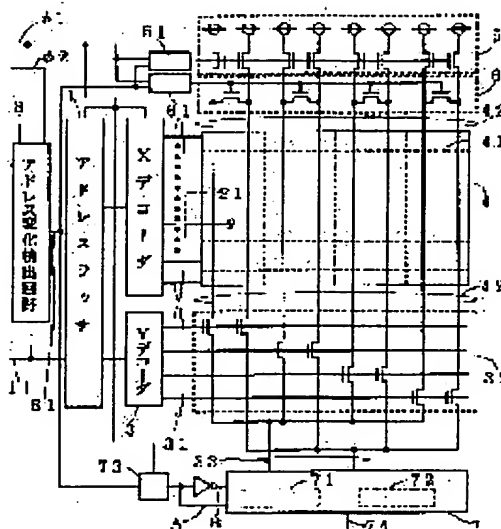
(72)Inventor : SHIRAISHI TAKETORA
FUJIYAMA TOMOAKI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor storage device with a decrease in current flowing through a bit line or a sense amplifier.

CONSTITUTION: An address change detecting circuit 8 to which an address signal 11 is given is provided. A sensing sensitivity changing means 7 for changing the sensitivity of sensing is connected to a Y selector 32 and a precharge control circuit 51 is connected to a gate electrode of a precharge circuit 5, while an equalization control circuit 61 is connected to a gate electrode of an equalizing circuit 6. The precharge control circuit 51, the equalization control circuit 61 and a latch 73 are given an X address coincidence signal 81 from the address change detecting circuit 8. When there is no change in an address, precharge and equalization are not executed, current consumption with the precharge and the equalization is reduced and the current consumption due to sensing with higher sensitivity than needed can be suppressed.



LEGAL STATUS

[Date of request for examination] 10.09.1999

[Date of sending the examiner's decision of rejection] 23.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平7-65580

(43)公開日 平成7年(1995)3月10日

(51) Int.Cl.⁶

識別記号

片内整理番号

FI

技術表示箇所

G 1 1 C 11/41

G 1 1 C 11/ 34

L

審査請求 未請求 請求項の数 6 OL (全 13 頁)

(21)出願番号 特願平5-214118

(22)出願日 平成5年(1993)8月30日

(71) 出國人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 白石 竹虎

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内

(72)発明者 藤山 等章

神奈川県相模原市宮下一丁目1番57号 三菱電機株式会社相模事業所内

(74)代理人 弁護士 高田 守

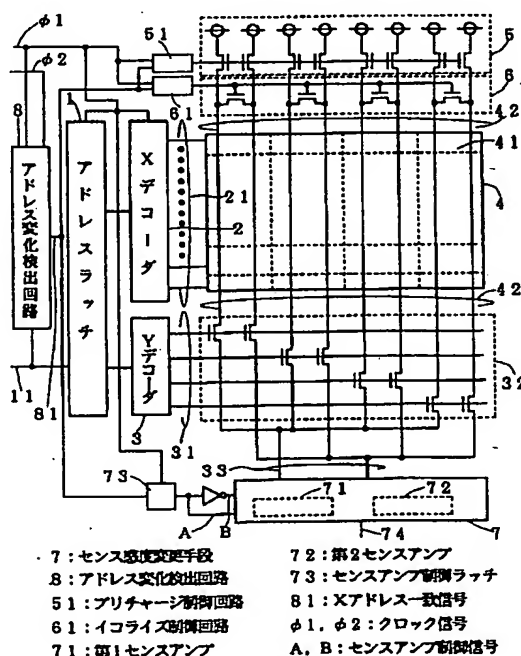
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 ビット線あるいはセンスアンプに流れる電流を低減した半導体記憶装置を得ることを目的とする。

【構成】 アドレス信号11が与えられるアドレス変化検出回路8が設けられ、Yセクタ32には、センス感度を変更するセンス感度変更手段7が接続され、ブリチャージ回路5のゲート電極にはブリチャージ制御回路51が接続され、イコライズ回路6のゲート電極にはイコライズ制御回路61が接続されている。ブリチャージ制御回路51およびイコライズ制御回路61およびラッチ73にはアドレス変化検出回路8からXアドレス一致信号81が与えられる。

【効果】 アドレス変化がない場合にはプリチャージおよびイコライズが行われず、プリチャージおよびイコライズに伴う電流消費が低減され、かつ、必要以上の高感度センスによる電流消費を抑制することができる。



【特許請求の範囲】

【請求項1】 アドレス信号に従ってワード線を選択する第1のデコーダと、
前記アドレス信号に従ってビット線対を選択する第2のデコーダと、
前記ビット線対をプリチャージするプリチャージ回路と、
前記ビット線対をイコライズするイコライズ回路とを備える半導体記憶装置において、
前記第1のデコーダでデコードされるアドレス信号の変化を検出するアドレス変化検出回路と、
前記アドレス変化検出回路のアドレス変化検出時に前記プリチャージ回路およびイコライズ回路を動作させるプリチャージ制御回路およびイコライズ制御回路とを備えた半導体記憶装置。
【請求項2】 アドレス信号に従ってワード線を選択する第1のデコーダと、
前記アドレス信号に従ってビット線対を選択する第2のデコーダと、
前記ビット線対をプリチャージするプリチャージ回路と、
前記ビット線対をイコライズするイコライズ回路とを備える半導体記憶装置において、
前記第1のデコーダでデコードされるアドレス信号の変化を検出するアドレス変化検出回路と、
前記アドレス変化検出回路のアドレス変化検出時に前記プリチャージ回路およびイコライズ回路を動作させるプリチャージ制御回路およびイコライズ制御回路と、
前記プリチャージ制御回路およびイコライズ制御回路の動作に連動し、前記ビット線対の信号を、センス感度を変更して増幅するセンス感度変更手段とを備えた半導体記憶装置。
【請求項3】 前記センス感度変更手段がセンス感度の異なる2以上のセンスアンプを備えることを特徴とする請求項2記載の半導体記憶装置。
【請求項4】 前記センス感度変更手段が、センス感度に係るトランジスタの個数を増減することでセンス感度を変更させるセンスアンプを備えることを特徴とする請求項2記載の半導体記憶装置。
【請求項5】 アドレス信号に従ってワード線を選択する第1のデコーダと、
前記アドレス信号に従ってビット線対を選択する第2のデコーダと、
前記ビット線対をプリチャージするプリチャージ回路とを備える半導体記憶装置において、
前記第1のデコーダでデコードされるアドレス信号の変化を検出するアドレス変化検出回路と、
前記アドレス変化検出回路のアドレス変化検出時に前記プリチャージ回路およびイコライズ回路を動作させるプリチャージ制御回路とを備えた半導体記憶装置。

【請求項6】 アドレス信号に従ってワード線を選択する第1のデコーダと、
前記アドレス信号に従ってビット線対を選択する第2のデコーダと、
前記ビット線対をプリチャージするプリチャージ回路とを備える半導体記憶装置において、
前記第1のデコーダでデコードされるアドレス信号の変化を検出するアドレス変化検出回路と、
前記アドレス変化検出回路のアドレス変化検出時に前記プリチャージ回路を動作させるプリチャージ制御回路と、
前記プリチャージ制御回路の動作に連動し、前記ビット線対の信号を、センス感度を変更して増幅するセンス感度変更手段とを備えた半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶装置に関し、特に消費電流を低減した半導体記憶装置に関する。

【0002】

【従来の技術】図12は従来の半導体記憶装置として、昭和63年電子情報通信学会春期全国大会講演論文集に記載された、24ビット浮動小数点信号処理プロセッサmSP2の2ポートRAMを、動作説明の便宜を図るためシングルポートRAMに改めた回路図である。（昭和63年電子情報通信学会春期全国大会講演論文集C-275参照）。

【0003】従来は、マイクロプロセッサのように、同一チップ上にクロックに同期して動作するロジック回路を含むメモリ（同期型記憶装置）の場合、タイミング設計の容易性からクロック信号をプリチャージやセンスアンブイネーブルのタイミング制御に用いていた。

【0004】図12において、プリチャージ回路5がイコライズ回路6を介してビット線42によって、複数のメモリセル41で構成されるメモリセルアレイ4に接続されている。ここでビット線42は2本1組で対になったビット線対が複数集まって形成されている。

【0005】メモリセルアレイ4には、Yセクタ制御信号線31によってYデコーダ3に接続されたYセクタ32がビット線42によって接続され、Yセクタ32にはセンスアンプ70およびライトドライバ9が1/O線対33で接続され、Xデコーダ2がワード線21によって接続されている。Xデコーダ2およびYデコーダ3にはアドレスラッチ1が接続されている。

【0006】入力としては、プリチャージ回路5およびイコライズ回路6のゲート電極と、アドレスラッチ1およびXデコーダ2にはクロック信号T0が与えられ、センスアンプ70にはクロック信号T2が与えられ、ライトドライバ9にはクロック信号T3が与えられる。ここで、クロック信号T1はワード線21の立ち上げからセンスアンプ70がセンスを開始するまでの期間を確保す

るために使用される信号であり、メモリの制御には直接関与しない信号である。これらクロック信号T0～T3は非重複クロックである。また、アドレスラッチ1にはアドレス信号11が与えられる。ライトドライバ9にはライトデータ信号91が入力される。出力としては、センスアンプ70から出力信号74が出力される。

【0007】次に動作について説明する。このメモリは非重複4相クロックで動作する。従って1アクセスサイクルをクロック信号T0、T1、T2、T3が与えられる4つの期間に区分することができる。

【0008】まずクロック信号T0が与えられる期間においては、プリチャージ回路5がオンすることによりビット線42のプリチャージが行われ、イコライズ回路6がオンすることによりビット線42のイコライズが行われる。また同じタイミングで1/O線対33に対してもプリチャージ及びイコライズが行われる。また、クロック信号T0が与えられる期間にアドレスのデコードが行われ、Xデコーダ2によりワード線21が選択され、Yデコーダ3によりYセクタ制御信号線31の選択が行われる。

【0009】ワード線21はクロック同期で動作し、クロック信号T0の立ち下がりで立ち上がり、T0の立ち上がりで立ち下がる。ワード線21が立ち上がるとワード線21に接続されているメモリセル41のデータがビット線42に出力される。ビット線42に出力されたデータはYセクタ32を介してセンスアンプ70に入る。センスアンプ70はクロック信号T2でイネーブルとなり出力信号74を出力する。

【0010】データの書き込みはクロック信号T3の期間に行なわれる。この期間にライトドライバ9がイネーブルとなり、Yセクタ32およびビット線42を介してメモリセルアレイ4上のメモリセル41にデータが書き込まれる。

【0011】ここで、メモリセルアレイ4のアドレスが図3のようにマッピングされているとする。Xデコーダ2はアドレスの上位側(MSB側)の10ビットをデコードし、Yデコーダ3は下位側(LSB側)の2ビットをデコードする。仮にアドレスが0から1、2、3、4…とインクリメントした場合、0から3まではYデコーダ3に入るアドレスのみが変化し、Xデコーダ2に入るアドレスは変化せず、アドレスが3から4に変化する時点でXデコーダ2に入るアドレスが変化し、その後4から7まではXアドレスは変化しない。以後この動作が繰り返される。

【0012】

【発明が解決しようとする課題】従来の同期型記憶装置などの半導体記憶装置は以上のように構成されているので、たとえば0番地、1番地の順序でメモリを読み出す場合、0番地のメモリセル41と1番地のメモリセル41が同じワード線21につながっていることから、0番

地を読み出す時点で1番地のデータも0番地のビット線42とは異なるビット線42に読み出されている。しかるに次に1番地を読み出す時に、既に読み出している1番地のデータをプリチャージ及びイコライズによりキャンセルして、再度同じデータを読み出すことになる。即ち従来例では不用なプリチャージ及びイコライズを繰り返すことにより無駄な電流が消費されるという問題があった。さらに従来例では同一ワード線21につながるメモリ41を連続して読み出す場合に、プリチャージ及びイコライズによりビット線42の初期化をしない場合、ワード線21のアクティブな時間が長くなるためビット線42の電位振幅が大きくなり、ビット線42の電位振幅が小さい場合に合わせて高感度のセンスアンプを使用していると必要以上に速くデータを出力することになる。一般にセンスアンプの感度を下げると電流消費が小さくなるとされているので、必要以上に高感度のセンスアンプでセンスすることは電流消費を増大させる行為となる。

【0013】本発明は以上のような問題を解決するためになされたもので、ビット線あるいはセンスアンプに流れる電流を低減した半導体記憶装置を得ることを目的とする。

【0014】

【課題を解決するための手段】本発明に係る半導体記憶装置の第1の態様は、アドレス信号に従ってワード線を選択する第1のデコーダと、前記アドレス信号に従ってビット線対を選択する第2のデコーダと、前記ビット線対をプリチャージするプリチャージ回路と、前記ビット線対をイコライズするイコライズ回路とを備える半導体記憶装置において、前記第1のデコーダでデコードされるアドレス信号の変化を検出するアドレス変化検出回路と、前記アドレス変化検出回路のアドレス変化検出時に前記プリチャージ回路およびイコライズ回路を動作させるプリチャージ制御回路およびイコライズ制御回路とを備えている。

【0015】本発明に係る半導体記憶装置の第2の態様は、アドレス信号に従ってワード線を選択する第1のデコーダと、前記アドレス信号に従ってビット線対を選択する第2のデコーダと、前記ビット線対をプリチャージするプリチャージ回路と、前記ビット線対をイコライズするイコライズ回路とを備える半導体記憶装置において、前記第1のデコーダでデコードされるアドレス信号の変化を検出するアドレス変化検出回路と、前記アドレス変化検出回路のアドレス変化検出時に前記プリチャージ回路およびイコライズ回路を動作させるプリチャージ制御回路およびイコライズ制御回路と、前記プリチャージ制御回路およびイコライズ制御回路の動作に連動し、前記ビット線対の信号を、センス感度を変更して増幅するセンス感度変更手段とを備えている。

【0016】本発明に係る半導体記憶装置の第3の態様

は、前記センス感度変更手段がセンス感度の異なる2以上のセンスアンプを備えることを特徴とする。

【0017】本発明に係る半導体記憶装置の第4の態様は、前記センス感度変更手段が、センス感度に係るトランジスタの個数を増減することでセンス感度を変更させるセンスアンプを備えることを特徴とする。

【0018】本発明に係る半導体記憶装置の第5の態様は、アドレス信号に従ってワード線を選択する第1のデコーダと、前記アドレス信号に従ってビット線を選択する第2のデコーダと、前記ビット線をプリチャージするプリチャージ回路とを備える半導体記憶装置において、前記第1のデコーダでデコードされるアドレス信号の変化を検出するアドレス変化検出回路と、前記アドレス変化検出回路のアドレス変化検出時に前記プリチャージ回路および動作させるプリチャージ制御回路とを備えている。

【0019】本発明に係る半導体記憶装置の第6の態様は、アドレス信号に従ってワード線を選択する第1のデコーダと、前記アドレス信号に従ってビット線を選択する第2のデコーダと、前記ビット線をプリチャージするプリチャージ回路とを備える半導体記憶装置において、前記第1のデコーダでデコードされるアドレス信号の変化を検出するアドレス変化検出回路と、前記アドレス変化検出回路のアドレス変化検出時に前記プリチャージ回路を動作させるプリチャージ制御回路と、前記プリチャージ制御回路の動作に連動し、前記ビット線の信号を、センス感度を変更して増幅するセンス感度変更手段とを備えている。

【0020】

【作用】本発明に係る半導体記憶装置の第1の態様によれば、アドレス信号の変化を検出するアドレス変化検出回路のアドレス変化検出時にのみ、プリチャージ制御回路およびイコライズ制御回路によりプリチャージ回路およびイコライズ回路を動作させるので、ビット線対への信号読み出しに際してアドレス変化がない場合にはプリチャージおよびイコライズが行われない。

【0021】本発明に係る半導体記憶装置の第2の態様によれば、アドレス変化検出回路のアドレス変化検出時にのみ、プリチャージ制御回路およびイコライズ制御回路によりプリチャージ回路およびイコライズ回路を動作させるので、ビット線対への信号読み出しに際してアドレス変化がない場合にはプリチャージおよびイコライズが行われず、かつ、センス感度変更手段により、ビット線対への信号読み出しに際してのアドレス変化の有無に対応してセンス感度を変更して増幅するので、必要以上の高感度センスを防止することができる。

【0022】本発明に係る半導体記憶装置の第3の態様によれば、センス感度の異なる2以上のセンスアンプを切り替えて使用することにより、ビット線対への信号読み出しに際してのアドレス変化の有無に対応して、セン

ス感度を変更して増幅することができるので、必要以上の高感度センスを防止することができる。

【0023】本発明に係る半導体記憶装置の第4の態様によれば、センス感度に係るトランジスタの個数を増減することでセンス感度を変更させるセンスアンプにより、ビット線対への信号読み出しに際してのアドレス変化の有無に対応して、センス感度を変更して増幅することができるので、必要以上の高感度センスを防止することができる。

【0024】本発明に係る半導体記憶装置の第5の態様によれば、アドレス信号の変化を検出するアドレス変化検出回路のアドレス変化検出時にのみ、プリチャージ制御回路によりプリチャージ回路を動作させるので、ビット線への信号読み出しに際してアドレス変化がない場合にはプリチャージが行われない。

【0025】本発明に係る半導体記憶装置の第6の態様によれば、アドレス変化検出回路のアドレス変化検出時にのみ、プリチャージ制御回路によりプリチャージ回路を動作させるので、ビット線への信号読み出しに際してアドレス変化がない場合にはプリチャージが行われず、かつ、センス感度変更手段により、ビット線への信号読み出しに際してのアドレス変化の有無に対応してセンス感度を変更して増幅するので、必要以上の高感度センスを防止することができる。

【0026】

【実施例】図1は本発明に係る半導体記憶装置の一実施例を示す回路図である。図1において、プリチャージ回路5がイコライズ回路6を介してビット線42によって、メモセル41で構成されるメモセルアレイ4に接続されている。ここでビット線42は2本1組で対になったビット線対が複数集まって形成されている。

【0027】メモセルアレイ4には、Xデコーダ2がワード線21によって接続され、Yセクタ制御信号線31によってYデコーダ3に接続されたYセクタ32がビット線42によって接続されている。Xデコーダ2およびYデコーダ3はアドレスラッチ1に接続されている。

【0028】Yセクタ32には、ビット線42の信号を、センス感度を変更して増幅するセンス感度変更手段7が接続されている。本実施例ではセンス感度の異なる2つのセンスアンプ、すなわち第1センスアンプ71および第2センスアンプ72を備え、状況に応じてどちらかに切り替えることで感度の変更を行う。センス感度変更手段7にはセンスアンプ制御ラッチ73からの制御信号Aとその反転信号Bとが与えられる。なお、センス感度変更手段7についての具体的説明は後に行う。

【0029】プリチャージ回路5のゲート電極にはプリチャージ制御回路51が接続され、イコライズ回路6のゲート電極にはイコライズ制御回路61が接続されている。

【0030】プリチャージ制御回路51およびイコライズ制御回路61およびセンスアンプ制御ラッチ73にはアドレス変化検出回路8からXアドレス一致信号81が与えられる。

【0031】入力としては、プリチャージ制御回路51およびイコライズ制御回路61およびセンスアンプ制御ラッチ73にはクロック信号φ1が与えられ、アドレス検出回路8にはクロック信号φ1、φ2が与えられる。また、アドレス変化検出回路8およびアドレスラッチ1にはアドレス信号11が与えられる。出力としては、セ

ンス感度変更手段7を介して出力信号74が出力される。

【0032】次に図1～図4を用いて動作について説明する。本実施例は非重複2相のクロック信号φ1、φ2に同期して動作する回路であり、本メモリの記憶容量は4Kビットで1024行4列の構成をとる。

【0033】図1において、アドレス信号11はクロック信号φ2のタイミングでチップ内部の他のブロックあるいはチップ外部から与えられ、アドレスラッチ1及びアドレス変化検出回路8に入力する。アドレスラッチ1ではアドレス信号をクロック信号φ1でラッチした後、上位側(MSB側)の10ビットをXデコーダ2へ、下位側(LSB側)の2ビットをYデコーダ3に出力する。Xデコーダ2は上位側10ビットをデコードし、1024本のワード線21のうち1本を、クロック信号φ1が高電位(以後高電位を「H」、低電位を「L」と略記)の期間だけアクティブにする。Yデコーダ3は下位側2ビットをデコードし、4本のYセクタ制御信号線31のうち1本をアクティブにする。ワード線21には1本あたり4個のメモリセル41が接続されている。ワード線21がアクティブになると、そのワード線に接続された4個のメモリセルのアクセスゲートが導通し、メモリセル41内に保持されているデータがビット線42の4組のビット線対に出力される。ビット線42は、クロック信号φ1が「H」の期間にプリチャージトランジスタ回路5とイコライズトランジスタ回路6によって、プリチャージ及びイコライズが行なわれ、クロック信号φ1が「H」の期間には、選択されたワード線に接続されたメモリセル41のデータが出力される。Yセクタ32はビット線対42の4組のビット線対のうち一対をアクティブなYセクタ制御信号線31に従って選択する。Yセクタ32の出力はセンス感度変更手段7に与えられ、感度の異なるセンスアンプ71、72のうちどちらかでセンスされ、最終的に1ビットのデータが出力される。

【0034】アドレス変化検出回路8は、Xデコーダ2に入るアドレス信号、即ち上位側10ビットのアドレス変化を検出する。図2にアドレス変化検出回路8のブロック図を示す。図2に示すように、アドレス変化検出回路8は、クロック信号φ1、φ2の1クロックサイクル

前のデータをラッチ82、83により保持し、この1クロックサイクル前のアドレスと現在のアドレスの比較を比較器84でクロック信号φ2が「H」の期間に行なう。このときアドレスが等しければXアドレス一致信号81をアクティブにする。

【0035】プリチャージ制御回路51は、Xアドレス一致信号81が非アクティブのときにクロック信号φ1が「H」のタイミングでプリチャージ信号をプリチャージ回路5に送り、ビット線42のプリチャージを行う。Xアドレス一致信号81がアクティブのときはプリチャージ信号が与えられずビット線42のプリチャージは行われない。

【0036】イコライズ制御回路61についてもXアドレス一致信号81が非アクティブのときクロック信号φ1が「H」のタイミングでイコライズ信号をイコライズ回路6に送り、ビット線42をイコライズする。アクティブのときはイコライズ信号が与えられずビット線42のイコライズは行われない。

【0037】センスアンプ71は感度の高いセンスアンプであり、クロック信号φ1のセンスアンプ制御ラッチ73を介したXアドレス一致信号81が非アクティブのとき、Yセクタ32と接続されセンス動作を行なう。センスアンプ72は感度の低いセンスアンプであり、クロック信号φ1のセンスアンプ制御ラッチ73を介したXアドレス一致信号81がアクティブのときにYセクタ32と接続されセンス動作を行う。

【0038】図3に本実施例の1024行4列構成のメモリセルアレイ4のアドレスマップを示す。一例として、アドレス4(n-1)、4n+1、4n+3の順でアクセスする場合を図4のタイミングチャートを用いて説明する。

【0039】アドレス信号11はクロック信号φ2が「H」のタイミングで変化する。アドレスが4(n-1)から4n+1に変化した場合{(1)から(2)の期間}、Xデコーダ2に入るアドレスは(n-1)からnに変化する。従ってXアドレス一致信号81が非アクティブ(この場合「L」)となり、プリチャージ信号およびイコライズ信号がクロック信号φ1に同期して出力され、ビット線42のプリチャージ及びイコライズが行なわれる{(3)の期間}。

【0040】クロック信号φ1が立ち下がりプリチャージおよびイコライズが終わると{(3)から(4)の期間}、n行目のワード線21がアクティブ(この例の場合「H」)になり、4個のメモリセル41のデータがそれぞれのビット線42に出力される。このときYセクタ32は第1列目を選択している。センスアンプはXアドレス一致信号81が非アクティブ(この例の場合「L」)であることから感度の高いセンスアンプ71が選択され、第1列目のビット線42の微少な電位差が高速にセンスされる。センスアンプからは図4に示す

(4')の期間に、アドレス $4n+1$ の1ビットのデータが出力される。

【0041】クロック信号 $\phi 2$ のタイミングでアドレス信号11が $4n+1$ から $4n+3$ に変化する場合、Xデコーダ2に入るアドレスは変化しないため、Xアドレス一致信号81はアクティブ(この例の場合「H」)となる。この時のアクセスは同じ行のワード線21をアクセスするため、ビット線42の4対のビット線対には前サイクルに読み出されたデータと同じデータが読み出される。従ってプリチャージおよびイコライズの必要はなく、Xアドレス一致信号81がアクティブの時、プリチャージ信号およびイコライズ信号は与えられず、ビット線42のプリチャージおよびイコライズは行われない(5)の期間)。

【0042】ワード線21は前サイクルと同様に第 n 行目がクロック信号 $\phi 1$ のタイミングでアクティブになる(6)の期間)。ビット線42は前サイクルの読み出して電位差 ΔV_1 が生じているため、現サイクルの読み出しではその電位差がさらに広がって ΔV_2 となる。

【0043】Yセクタ32は第1列目から第3列目に切り替わるが、ビット線42の電位が大きく振幅しているためセンスアンプは高感度のものを必要としない。従ってXアドレス一致信号81がアクティブのときは低感度のセンスアンプ72が選択される。データはセンスアンプからクロック信号 $\phi 2$ が「H」のタイミングで、図4に示す(6')の期間に出力される。

【0044】この場合のアクセスタイム((A2)の期間)はXアドレス一致信号81が非アクティブで高感度のセンスアンプを使った場合のアクセスタイム((A1)の期間)とほぼ同じになる。ここで、アクセスタイムとはクロック信号 $\phi 2$ が立ち上がってからセンスアンプの出力が確定するまでの時間をいう。

【0045】なお、以上の説明はメモリからデータを読み出す場合のみについて行ったが、以下に説明するように、データを書き込む場合についても本発明を適用することができる。

【0046】図5にライトドライバ9を付加した場合の回路図を示す。図5において、Yセクタ32からの1/O線33にライトドライバ9が接続されている。クロック信号 $\phi 2$ およびライトイネーブル信号10がAND回路に接続され、AND回路からのライトパルス信号11とライトデータ91がライトドライバ9に与えられる。その他の構成は図1で説明した第1の実施例と同様である。

【0047】図6に書き込み時のタイミングチャートを示す。図6において、クロック信号 $\phi 1$ のタイミングで与えられたライトイネーブル信号10が、クロック信号 $\phi 2$ と共にAND回路に与えられてライトパルス信号11を出力する。ここで、ライトイネーブル信号10はアドレス一致信号に依存せず、書き込みを望む場合に

「H」状態とする信号である。ライトドライバ9はライトパルス信号11が「H」の場合にライトデータを1/O線33に出力し、ライトパルス信号11が「L」の場合にはハイインピーダンス状態となる。

【0048】書き込み時にはライトドライバ9によって、Yセクタ32を介して選択されたビット線42の電位が振幅し、アクティブなワード線21に選択されたメモリセル41にデータが書き込まれる。この時Yセクタ32に選択されていないビット線42については、ワード線21がアクティブになることによってデータが読み出されことになる。従来であれば同じワード線21につながるメモリセル41に続けて書き込む場合、書き込みを行うごとに同じデータが読み出され、そのたびにプリチャージおよびイコライズが行われていた。本発明によって、同じワード線21につながるメモリセル41に続けて書き込む場合にはプリチャージあるいはイコライズを行わないようにすることができ、電流消費を削減することができる。

【0049】次に、本実施例で用いたセンス感度変更手段7について説明する。本実施例ではセンス感度の異なる2つのセンスアンプ、すなわち第1センスアンプ71および第2センスアンプ72を状況に応じて切り替えて使用することで感度の変更を行った。

【0050】図7に本実施例で用いたセンス感度変更手段7の第1例の回路図を示す。図7において、第1センスアンプ71および第2センスアンプ72は各々同じカレントミラー型の回路で構成され、1/O線対33の1/O線、バー1/O線に接続されている。第1センスアンプ71および第2センスアンプ72を構成するトランジスタのトランジスタサイズを各々について変えることで、センスアンプごとに異なったセンス感度を得ることができ、センスアンプ制御ラッチ73からの信号AおよびBによって使用するセンスアンプの切り替えを行う。

【0051】図8に本実施例で用いたセンス感度変更手段7の第2例の回路図を示す。図8において、第1センスアンプ71は第1例と同様の構成であり、第2センスアンプ72は単なるインバータで構成され、センスアンプ制御ラッチ73からの信号AおよびBによって使用するセンスアンプの切り替えを行う。動作は、ビット線対42の電位差が小さい場合は第1センスアンプ71によってセンスし、ビット線対42の電位差が大きく、増幅せずとも出力信号として十分に使用できる場合には第2センスアンプ72を使用する。センスアンプ72はインバータなのでバー1/O線がインバータの入力に接続される図9に本実施例で用いたセンス感度変更手段7の第3例の回路図を示す。図9において、2つのセンスアンプが直列に接続されている。前段のセンスアンプはプリセンスを行うためのクロスカプル型のセンスアンプであり、該アンプによりプリセンスを行った後に、さらに後段のセンスアンプを介することにより増幅率の向上を

図る。なお、後段のセンスアンプには第1例で説明したカレントミラー型のセンスアンプなどを使用する。動作はセンスアンプ制御ラッチ73からの信号AおよびBによって使用するセンスアンプの切り替えを行う。ビット線42の電位差が小さい場合には前段のクロスカプル型のセンスアンプおよび後段のセンスアンプを作動させてセンスを行い、ビット線42の電位差が大きい場合には前段のクロスカプル型のセンスアンプは作動させずに後段のセンスアンプのみでセンスを行う。

【0052】つまり、前段のクロスカプル型のセンスアンプと後段のセンスアンプを接続した場合を第1センスアンプ71とし、後段のセンスアンプのみの場合を第2センスアンプ72と言い替えることができる。

【0053】なお、以上説明した実施例ではセンス感度変更手段7を2つのセンスアンプで構成したが、センスアンプをさらに増して、センス感度の種類を増加させても良い。

【0054】以上説明した実施例は以下に示すような変形が可能である。すなわち、第1の実施例ではセンス感度変更手段7はセンス感度の異なる2つのセンスアンプで構成され、状況に応じてセンスアンプを切り替えて使用することでセンス感度の変更を行っていたが、センスアンプを切り替えるのではなく、センス感度のみを直接変更しても良い。

【0055】図10に本変形例を適用した半導体記憶装置の回路図を示す。図10において、センス感度変更手段7Aに与えられるセンスアンプ制御ラッチ73からの制御信号は制御信号Bだけとなっている。その他の構成は図1で説明した第1の実施例と同様である。

【0056】図11にセンス感度変更手段7Aの回路図を示す。図11において、カレントミラーを構成する対向して配置されたPチャネルトランジスタP1、P2の各々に、NチャネルトランジスタN1、N2が直列に配置され、NチャネルトランジスタN1、N2のソース電極は共通して接地電位に接続されている。NチャネルトランジスタN1のドレイン電極とソース電極の間には直列に接続されたNチャネルトランジスタN3およびN4が接続され、NチャネルトランジスタN2のドレイン電極とソース電極の間には直列に接続されたNチャネルトランジスタN5およびN6が接続されている。I/O線対33のI/O線、バーI/O線対は各々、NチャネルトランジスタN1、N2およびN3、N5のゲート電極に接続され、制御信号BがNチャネルトランジスタN4およびN6のゲート電極に与えられ、PチャネルトランジスタP2のドレイン電極から出力信号74が出力される。

【0057】動作について説明する。制御信号Bが「H」となった場合、NチャネルトランジスタN4およびN6が動作することでNチャネルトランジスタN1およびN2が動作し、I/O線対33を入力とするトラン

ジスタの個数が増えてセンス感度が向上する。制御信号Bが「L」の場合はトランジスタの個数は変わらないのでセンス感度はそのままである。

【0058】なお、以上説明した実施例および変形例ではXアドレス一致信号81でプリチャージ回路5およびイコライズ回路およびセンス感度変更手段7を制御したが、プリチャージ回路5およびイコライズ回路の制御だけでも電流消費を削減することができる。さらに、電流消費の大部分をプリチャージが占めるので、プリチャージ回路5の制御だけでも電流消費削減の効果は大である。

【0059】また、以上説明した実施例および変形例ではビット線対でデータの転送を行う半導体記憶装置を示したが、1本のビット線でデータの転送を行う半導体記憶装置にも本発明を適用できる。その場合にはイコライズ回路が不要となるので、Xアドレス一致信号81による制御は、プリチャージ回路5およびセンス感度変更手段7に対して行われる。特にプリチャージによる電流消費が多いので、プリチャージ回路5の制御だけでも電流消費削減の効果は大である。

【0060】

【発明の効果】請求項1記載の半導体記憶装置によれば、ビット線対への信号読みだしに際してアドレス変化があった場合にのみ、プリチャージ回路およびイコライズ回路を動作させるので、アドレス変化がない場合にはプリチャージおよびイコライズが行われず、プリチャージおよびイコライズに伴う電流消費が低減される。

【0061】請求項2記載の半導体記憶装置によれば、ビット線対への信号読み出しに際してアドレス変化があった場合にのみ、プリチャージ回路およびイコライズ回路を動作させるので、アドレス変化がない場合にはプリチャージおよびイコライズが行われず、プリチャージおよびイコライズに伴う電流消費が低減され、かつ、ビット線対への信号読み出しに際してのアドレス変化の有無に対応してセンス感度を変更して増幅するので、必要以上の高感度センスによる電流消費を抑制することもできる。

【0062】請求項3記載の半導体記憶装置によれば、センス感度の異なる2以上のセンスアンプを切り替えて使用することにより、ビット線対への信号読み出しに際してのアドレス変化の有無に対応して、センス感度を変更して増幅することができるので、必要以上の高感度センスによる電流消費を抑制することができる。

【0063】請求項4記載の半導体記憶装置によれば、センス感度に係るトランジスタの個数を増減することでセンス感度を変更させるセンスアンプにより、ビット線対への信号読み出しに際してのアドレス変化の有無に対応して、センス感度を変更して増幅することができるので、必要以上の高感度センスによる電流消費を抑制することができる。

13

【0064】請求項5記載の半導体記憶装置によれば、ビット線への信号読み出しに際してアドレス変化があった場合にのみ、プリチャージ回路およびイコライズ回路を動作させるので、アドレス変化がない場合にはプリチャージが行われず、プリチャージに伴う電流消費が低減される。

【0065】請求項6記載の半導体記憶装置によれば、ビット線への信号読み出しに際してアドレス変化があった場合にのみ、プリチャージ回路を動作させるので、アドレス変化がない場合にはプリチャージが行われず、プリチャージに伴う電流消費が低減され、かつ、ビット線への信号読み出しに際してのアドレス変化の有無に対応してセンス感度を変更して増幅するので、必要以上の高感度センスによる電流消費を抑制することもできる。

【図面の簡単な説明】

【図1】本発明に係る半導体記憶装置の一実施例を示す回路図である。

【図2】本発明に係る半導体記憶装置のアドレス変化検出回路の回路構成図である。

【図3】本発明に係る半導体記憶装置のメモリセルのアドレスマップを示す図である。

【図4】本発明に係る半導体記憶装置の動作を示すタイミングチャートである。

【図5】本発明に係る半導体記憶装置の一実施例に書き込み機能を付加した回路図である。

【図6】本発明に係る半導体記憶装置の書き込み動作を示すタイミングチャートである。

*

14

*【図7】本発明に係る半導体記憶装置のセンス感度変更手段の第1例を示す回路図である。

【図8】本発明に係る半導体記憶装置のセンス感度変更手段の第2例を示す回路図である。

【図9】本発明に係る半導体記憶装置のセンス感度変更手段の第3例を示す回路図である。

【図10】本発明に係る半導体記憶装置の実施例の変形例を示す回路図である。

【図11】本発明に係る半導体記憶装置の実施例の変形例のセンス感度変更手段を示す回路図である。

【図12】従来の半導体記憶装置を示す回路図である。

【符号の説明】

7、7A センス感度変更手段

8 アドレス変化検出回路

51 プリチャージ制御回路

61 イコライズ制御回路

71 第1センスアンプ

72 第2センスアンプ

73 センスアンプ制御ラッチ

81 Xアドレス一致信号

82、83 ラッチ

84 比較器

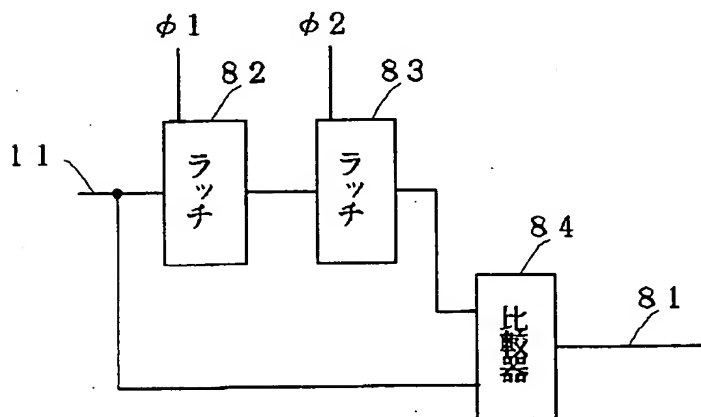
$\phi 1$ 、 $\phi 2$ クロック信号

A、B センスアンプ制御信号

P1、P2 Pチャネルトランジスタ

N1～N6 Nチャネルトランジスタ

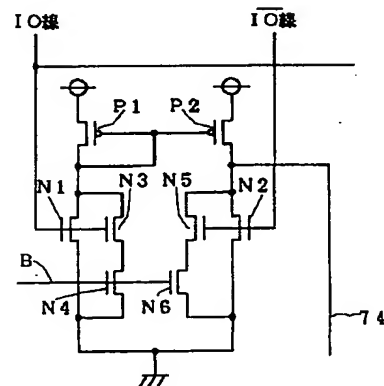
【図2】



82、83：ラッチ

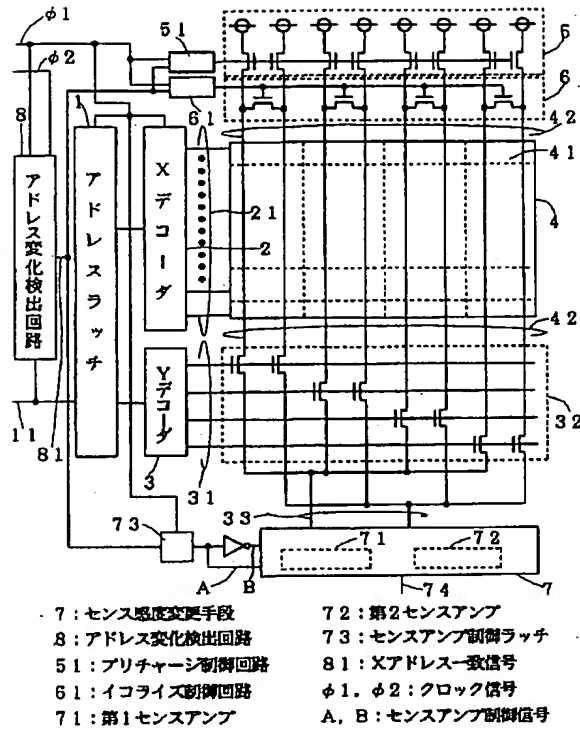
84：比較器

【図11】

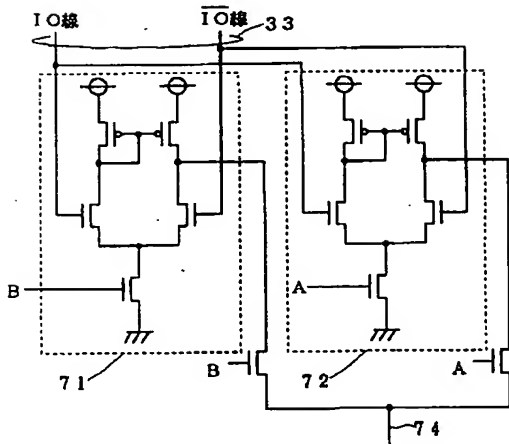


P1、P2：Pチャネルトランジスタ
N1～N6：Nチャネルトランジスタ

【図1】



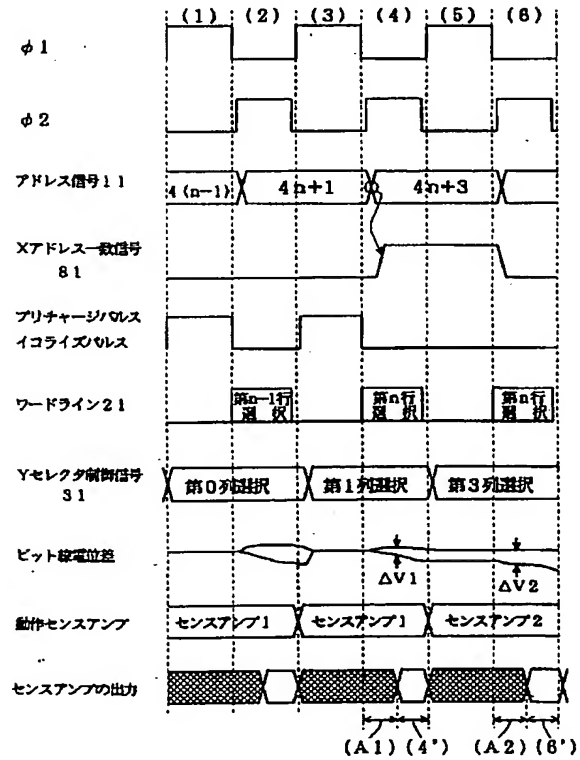
【図7】



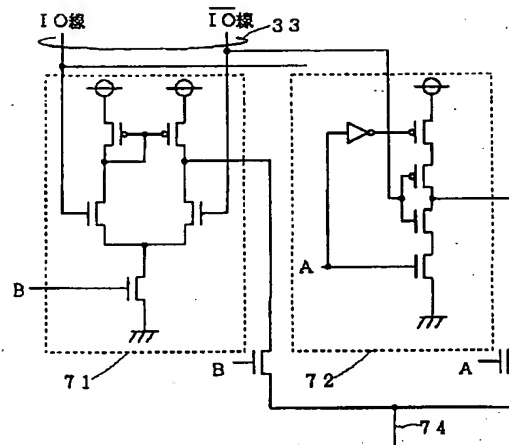
【図3】

4092番地	4093番地	4094番地	4095番地
4n番地	4n+1番地	4n+2番地	4n+3番地
4(n-1)番地	4n-3番地	4n-2番地	4n-1番地
4番地	5番地	6番地	7番地
0番地	1番地	2番地	3番地

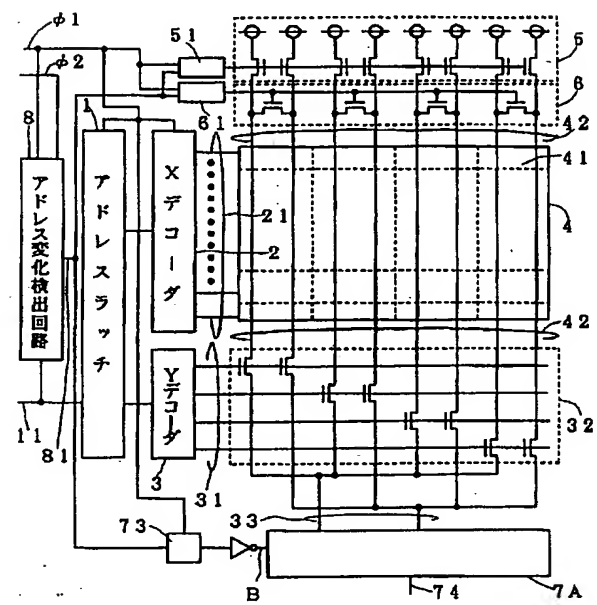
【図4】



【圖 8】

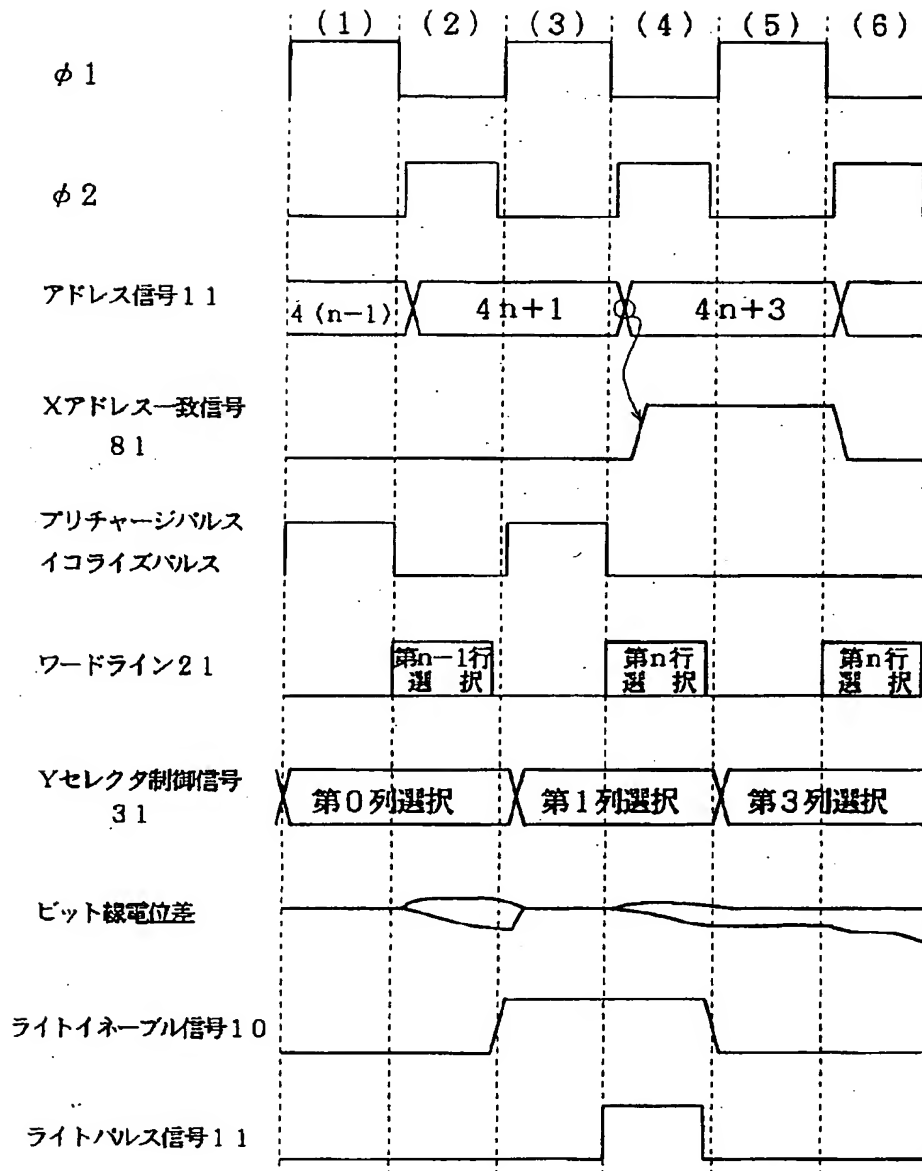


10:ライトイネーブル信号, 11:ライトバース信号

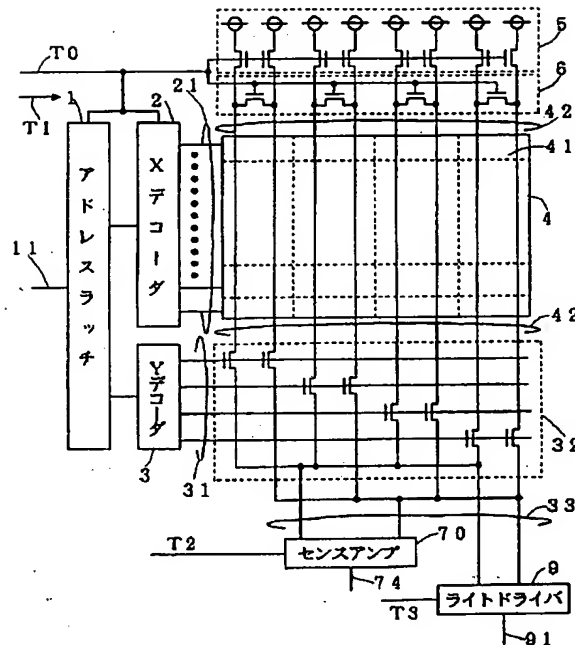


7A: センス感度変更手段

(図6)



【図12】



【手続補正書】

【提出日】平成6年1月21日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】

【作用】本発明に係る半導体記憶装置の第1の態様によれば、ワード線を選択するアドレス信号の変化を検出するアドレス変化検出回路のアドレス変化検出時のみ、プリチャージ制御回路およびイコライズ制御回路によりプリチャージ回路およびイコライズ回路を動作させるので、ビット線対への信号読み出しに際してアドレス変化がない場合にはプリチャージおよびイコライズが行われない。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】本発明に係る半導体記憶装置の第5の態様によれば、ワード線を選択するアドレス信号の変化を検出するアドレス変化検出回路のアドレス変化検出時のみ、

プリチャージ制御回路によりプリチャージ回路を動作させるので、ビット線への信号読み出しに際してアドレス変化がない場合にはプリチャージが行われない。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】図1において、アドレス信号11はクロック信号φ2のタイミングでチップ内部の他のブロックあるいはチップ外部から与えられ、アドレスラッチ1及びアドレス変化検出回路8に入力する。アドレスラッチ1ではアドレス信号をクロック信号φ1でラッチした後、上位側(MSB側)の10ビットをXデコーダ2へ、下位側(LSB側)の2ビットをYデコーダ3に出力する。Xデコーダ2は上位側10ビットをデコードし、1024本のワード線21のうち1本を、クロック信号φ1が低電位(以後高電位を「H」、低電位を「L」と略記)の期間だけアクティブにする。Yデコーダ3は下位側2ビットをデコードし、4本のYセクタ制御信号線31のうち1本をアクティブにする。ワード線21には1本あたり4個のメモセル41が接続されている。ワード線21がアクティブになると、そのワード線に接続

された4個のメモリセルのアクセスゲートが導通し、メモリセル41内に保持されているデータがビット線42の4組のビット線対に出力される。ビット線42は、クロック信号φ1が「H」の期間にプリチャージトランジスタ回路5とイコライズトランジスタ回路6によって、プリチャージ及びイコライズが行なわれ、クロック信号φ1が「H」の期間には、選択されたワード線に接続されたメモリセル41のデータが出力される。Yセクタ32はビット線対42の4組のビット線対のうち一対をアクティブなYセクタ制御信号線31に従って選択する。Yセクタ32の出力はセンス感度変更手段71、72のうちどちらかでセンスされ、最終的に1ビットのデータが出力される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正内容】

【0060】

【発明の効果】請求項1記載の半導体記憶装置によれば、ビット線対への信号読みだしに際して、ワード線を選択するアドレスの変化があった場合にのみ、プリチャージ回路およびイコライズ回路を動作させるので、アドレス変化がない場合にはプリチャージおよびイコライズが行われず、プリチャージおよびイコライズに伴う電流消費が低減される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正内容】

【0061】請求項2記載の半導体記憶装置によれば、ビット線対への信号読み出しに際して、ワード線を選択

するアドレスの変化があった場合にのみ、プリチャージ回路およびイコライズ回路を動作させるので、アドレス変化がない場合にはプリチャージおよびイコライズが行われず、プリチャージおよびイコライズに伴う電流消費が低減され、かつ、ビット線対への信号読み出しに際してのアドレス変化の有無に対応してセンス感度を変更して増幅するので、必要以上の高感度センスによる電流消費を抑制することもできる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正内容】

【0064】請求項5記載の半導体記憶装置によれば、ビット線への信号読み出しに際して、ワード線を選択するアドレスの変化があった場合にのみ、プリチャージ回路およびイコライズ回路を動作させるので、アドレス変化がない場合にはプリチャージが行われず、プリチャージに伴う電流消費が低減される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正内容】

【0065】請求項6記載の半導体記憶装置によれば、ビット線への信号読み出しに際して、ワード線を選択するアドレスの変化があった場合にのみ、プリチャージ回路を動作させるので、アドレス変化がない場合にはプリチャージが行われず、プリチャージに伴う電流消費が低減され、かつ、ビット線への信号読み出しに際してのアドレス変化の有無に対応してセンス感度を変更して増幅するので、必要以上の高感度センスによる電流消費を抑制することもできる。